

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163175

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 21/8249

H 0 1 L 27/06

3 2 1 A

27/06

27/04

C

27/04

21/822

審査請求 有 請求項の数12 O L (全 12 頁)

(21) 出願番号

特願平9-321474

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日

平成9年(1997)11月21日

(72) 発明者 藤井 宏基

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 若林 忠 (外4名)

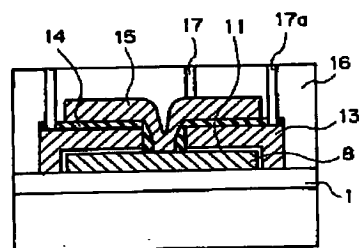
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

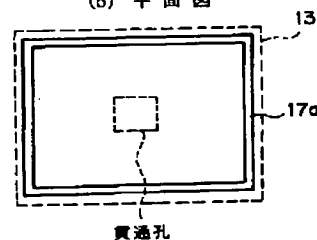
【課題】 本発明は、小面積で大きい値の容量を有する高集積化が可能なBi-CMOS等の半導体装置の効率的、低コストの製造方法を提供することを目的とする。

【解決手段】 半導体基板上に、容量とバイポーラトランジスタと相補型MOSFETとを有する半導体装置の製造方法において、前記容量が、第1の電極8と、この第1の電極と絶縁膜11を介して設けられた第2の電極13と、この第2の電極と絶縁膜14を介して設けられかつ第1の電極と接続された第3の電極15とを備えた構造であって、各電極とその間の絶縁膜の形成をバイポーラトランジスタまたはMOSFETの形成工程と同時行う。

(a) 断面図



(b) 平面図



【特許請求の範囲】

【請求項1】 半導体基板上に、容量とバイポーラトランジスタと相補型MOSFETとを有する半導体装置の製造方法において、

前記容量が、第1の電極と、この第1の電極と絶縁膜を介して設けられた第2の電極と、この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極とを備えた構造であって、

前記第1の電極の形成を、MOSFETのゲート電極形成と同時に進行工程と、

前記第1の電極と第2の電極の間の絶縁膜を、ベース電極をエッチングして加工する際にMOSFETのソース・ドレイン領域およびバイポーラトランジスタのコレクタ引き出し領域がエッチングされるのを防止するために設けられる絶縁膜の形成と同時に形成する工程と、

前記第2の電極の形成を、バイポーラトランジスタのベース電極形成と同時に進行工程と、

前記第2の電極と第3の電極の間の絶縁膜の形成を、バイポーラトランジスタのベース電極とエミッタ電極間を絶縁する絶縁膜の形成と同時に進行工程と、

前記第3の電極の形成を、バイポーラトランジスタのエミッタ電極形成と同時に進行工程とを有する半導体装置の製造方法。

【請求項2】 前記第1の電極と第3の電極との接続を、バイポーラトランジスタのベース電極にエミッタ電極形成のための開口を設けるのと同時に設けられた前記第2の電極の中央付近の貫通孔を通して行い、容量の上に設けられる層間絶縁膜中に前記第2の電極の周囲に接してリング状のコンタクトを形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1の電極、第2の電極および第3の電極をポリシリコンで形成することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 半導体基板上に、容量とバイポーラトランジスタと相補型MOSFETとを有する半導体装置の製造方法において、

前記容量が、第1の電極と、この第1の電極と絶縁膜を介して設けられた第2の電極と、この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極と、前記第1の電極と絶縁膜を介して前記半導体基板内設けられかつ第2の電極に接続される第4の電極を備えた構造であって、

前記第4の電極の形成を、バイポーラトランジスタのコレクタ電極形成と同時に進行工程と、

前記第1の電極の形成を、MOSFETのゲート電極形成と同時に進行工程と、

前記第1の電極と第2の電極の間の絶縁膜を、ベース電極をエッチングして加工する際にMOSFETのソース・ドレイン領域およびバイポーラトランジスタのコレクタ引き出し領域がエッチングされるのを防止するために

設けられる絶縁膜の形成と同時に形成する工程と、

前記第2の電極の形成を、バイポーラトランジスタのベース電極形成と同時に進行工程と、

前記第2の電極と第3の電極の間の絶縁膜の形成を、バイポーラトランジスタのベース電極とエミッタ電極間を絶縁する絶縁膜の形成と同時に進行工程と、

前記第3の電極の形成を、バイポーラトランジスタのエミッタ電極形成と同時に進行工程とを有する半導体装置の製造方法。

【請求項5】 前記第1の電極と第3の電極との接続を、バイポーラトランジスタのベース電極にエミッタ電極形成のための開口を設けるのと同時に設けられた前記第2の電極の中央付近の貫通孔を通して行い、

前記第4の電極の基板面への引き出しをリング状に設け、前記容量の上に設けられる層間絶縁膜中にコンタクトをリング状に設け、前記第2の電極の周囲と、前記第4の電極の基板面へのリング状の引き出しと、前記リング状のコンタクトとを、互いにリング状に接触させることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記第1の電極、第2の電極および第3の電極をポリシリコンで形成し、前記第4の電極を半導体基板に埋め込み層として形成することを特徴とする請求項4または5記載の半導体装置の製造方法。

【請求項7】 半導体基板上に、第1の電極と、この第1の電極と絶縁膜を介して設けられた第2の電極と、この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極とを備えた容量を有する半導体装置であって、

前記第1の電極と第3の電極とが、前記第2の電極の中央付近に設けられた貫通孔を通して接続され、前記容量の上に設けられる層間絶縁膜中に前記第2の電極の周囲に接するリング状のコンタクトを有することを特徴とする半導体装置。

【請求項8】 前記第1の電極、第2の電極および第3の電極がポリシリコンで形成されていることを特徴とする請求項7記載の半導体装置。

【請求項9】 半導体基板上に、第1の電極と、この第1の電極と絶縁膜を介して設けられた第2の電極と、この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極とを備え、前記第1の電極と絶縁膜を介して前記半導体基板内設けられかつ第2の電極に接続される第4の電極を備えた容量を有する半導体装置であって、

前記第1の電極と第3の電極とが、前記第2の電極の中央付近に設けられた貫通孔を通して接続され、

前記第4の電極の基板面への引き出しがリング状であり、

前記容量の上に設けられる層間絶縁膜中にリング状のコンタクトが設けられ、

前記第2の電極の周囲と、前記第4の電極の基板面への

リング状の引き出しと、前記リング状のコンタクトとが互いにリング状に接触していることを特徴とする半導体装置。

【請求項10】 前記第1の電極、第2の電極および第3の電極がポリシリコンで形成され、前記第4の電極が半導体基板に埋め込み層として形成されていることを特徴とする請求項9記載の半導体装置。

【請求項11】 前記第1の電極がポリサイドで形成され、前記第2の電極および第3の電極がポリシリコンで形成されていることを特徴とする請求項7記載の半導体装置。

【請求項12】 前記第1の電極がポリサイドで形成され、前記第2の電極および第3の電極がポリシリコンで形成され、前記第4の電極が半導体基板に埋め込み層として形成されていることを特徴とする請求項9記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、容量とバイポーラトランジスタと相補型MOSFETとを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、高集積性、低消費電力性に優れたCMOSと高速性に優れたバイポーラトランジスタとを同一基板上に形成したBi-CMOSLSIに、さらに容量を付加することが求められている。

【0003】特開昭64-22054号公報には、同一基板上に、MOSFETとバイポーラトランジスタとを有する半導体装置におけるコンデンサの形成を、コンデンサの一方の電極をMOSFETのゲート電極と同時に形成し、コンデンサの絶縁膜を形成した後、コンデンサの対向電極の形成をバイポーラトランジスタのエミッタ電極と同時に行う方法が記載されている。即ち、容量絶縁膜を挟んで上下から電極で挟んだ構造である。

【0004】しかし、このような方法で形成された容量は、大きな面積を占有するためにLSIの高集積化を阻害する要因となっていた。

【0005】また、特開平6-291262号公報にも、Bi-CMOSに高精度の容量を付加する方法として、絶縁膜の上に容量の下部電極をMOSのゲート電極形成用のポリシリコンと兼用し、対向電極をベースまたはエミッタ形成用のポリシリコンと兼用する方法が記載されている。しかし、この方法でも、容量が大きな面積を占有する問題があった。

【0006】一方、小さい面積で大きな容量をとる方法として、特開昭63-150955号公報に記載されている方法では、図19(a)に示すように、ポリシリコン層53を中間に置き、シリコン酸化膜51を挟んでポリシリコン層53と、シリコン基板56上のエピタキシャル層57に設けられた拡散領域52とで第1の容量を

形成し、シリコン酸化膜58を挟んでポリシリコン層53とA1膜54とで第2の容量を形成している。拡散領域52とA1膜54が酸化シリコン膜に開けたコンタクトを通して接続されている。従って、図19(b)に示すように、ポリシリコン層53から引き出されるA1膜55とA1膜54の間では、2つの容量が並列に接続されていることにより、より大きな容量値を得ることができる。

【0007】しかし、酸化シリコン膜58は層間絶縁膜と言われる部分であり、膜厚が厚いために必ずしも十分に大きな容量値を得ることができない問題があった。また、ポリシリコン層部分の抵抗が比較的大きくなり高周波特性が悪くなる問題があった。

【0008】また、特開平5-75021号公報には、半導体基板上に形成される容量構造として図20(a)のような構造が記載されている。この構造では、P型半導体基板100上にN型エピタキシャル層102が積層され、さらにN⁺拡散層104が形成される。そして、酸化シリコンの誘電体層106が形成され、コンデンサを形成すべき領域にポリシリコンの導電層108が積層される。次にポリシリコンの誘電体層110が形成され、リングラスPSG層112を被覆した後、アルミニウムの導電層114が積層されてA電極に接続される。コンタクトホールを介してアルミニウムの導電層114とN⁺拡散層104が接続され、電極Bに接続される。誘電体層106のコンデンサC1と誘電体層110のコンデンサC2とが並列接続され、容量は図20(b)に示すようにC1+C2となる。

【0009】しかし、この構造をBi-CMOSに適用することについては全く言及されていないため、実際の適用に当たっての効率的な製造方法については全く知られていなかった。また、この構造では、ポリシリコン層部分の抵抗が大きくなるため高周波特性が悪くなる問題もあった。

【0010】

【発明が解決しようとする課題】本発明は、このような従来の問題点に鑑みてなされたものであり、小面積で大きい値の容量を有する高集積化が可能なBi-CMOS等の半導体装置の効率的、低コストの製造方法を提供することを目的とする。

【0011】また本発明は、小面積で大容量かつ低抵抗の容量構造を有する高速応答性、高周波特性に優れた高集積化が可能なBi-CMOS等の半導体装置、およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の第1の半導体装置の製造方法は、半導体基板上に、容量とバイポーラトランジスタと相補型MOSFETとを有する半導体装置の製造方法において、前記容量が、第1の電極と、この第1の電極と絶縁膜を介して設けられた第2の電極と、

この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極とを備えた構造であって、前記第1の電極の形成を、MOSFETのゲート電極形成と同時に進行する工程と、前記第1の電極と第2の電極の間の絶縁膜を、ベース電極をエッチングして加工する際にMOSFETのソース・ドレイン領域およびバイポーラトランジスタのコレクタ引き出し領域がエッチングされるのを防止するために設けられる絶縁膜の形成と同時に形成する工程と、前記第2の電極の形成を、バイポーラトランジスタのベース電極形成と同時に進行する工程と、前記第2の電極と第3の電極の間の絶縁膜の形成を、バイポーラトランジスタのベース電極とエミッタ電極間を絶縁する絶縁膜の形成と同時に進行する工程と、前記第3の電極の形成を、バイポーラトランジスタのエミッタ電極形成と同時に進行する工程とを有する製造方法である。

【0013】本発明の第2の半導体装置の製造方法は、半導体基板上に、容量とバイポーラトランジスタと相補型MOSFETとを有する半導体装置の製造方法において、前記容量が、第1の電極と、この第1の電極と絶縁膜を介して設けられた第2の電極と、この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極と、前記第1の電極と絶縁膜を介して前記半導体基板内設けられかつ第2の電極に接続される第4の電極を備えた構造であって、前記第4の電極の形成を、バイポーラトランジスタのコレクタ電極形成と同時に進行する工程と、前記第1の電極の形成を、MOSFETのゲート電極形成と同時に進行する工程と、前記第1の電極と第2の電極の間の絶縁膜を、ベース電極をエッチングして加工する際にMOSFETのソース・ドレイン領域およびバイポーラトランジスタのコレクタ引き出し領域がエッチングされるのを防止するために設けられる絶縁膜の形成と同時に形成する工程と、前記第2の電極の形成を、バイポーラトランジスタのベース電極形成と同時に進行する工程と、前記第2の電極と第3の電極の間の絶縁膜の形成を、バイポーラトランジスタのベース電極とエミッタ電極間を絶縁する絶縁膜の形成と同時に進行する工程と、前記第3の電極の形成を、バイポーラトランジスタのエミッタ電極形成と同時に進行する工程とを有する製造方法である。

【0014】また、本発明の半導体装置は、半導体基板上に、第1の電極と、この第1の電極と絶縁膜を介して設けられた第2の電極と、この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極とを備えた容量を有する半導体装置であって、前記第1の電極と第3の電極とが、前記第2の電極の中央付近に設けられた貫通孔を通して接続され、前記容量の上に設けられる層間絶縁膜中に前記第2の電極の周囲に接するリング状のコンタクトを有することを特徴とする。

【0015】また、本発明の半導体装置は、半導体基板上に、第1の電極と、この第1の電極と絶縁膜を介して

設けられた第2の電極と、この第2の電極と絶縁膜を介して設けられかつ第1の電極と接続された第3の電極とを備え、前記第1の電極と絶縁膜を介して前記半導体基板内設けられかつ第2の電極に接続される第4の電極を備えた容量を有する半導体装置であって、前記第1の電極と第3の電極とが、前記第2の電極の中央付近に設けられた貫通孔を通して接続され、前記第4の電極の基板面への引き出しがリング状であり、前記容量の上に設けられる層間絶縁膜中にリング状のコンタクトが設けられ、前記第2の電極の周囲と、前記第4の電極の基板面へのリング状の引き出しと、前記リング状のコンタクトとが互いにリング状に接触していることを特徴とする。

【0016】

【発明の実施の形態】本発明の第1の製造方法では、第2の電極を間において、下に第1の電極、上に第3の電極が形成され、そして第1の電極と第3の電極が接続されるので小さい面積であっても大きくかつ精度の良い容量値を得ることができる。この製造方法では、容量の各電極および相互間の絶縁膜の形成を、MOSFETまたはバイポーラトランジスタの形成材料と同じ材料を用いて同時に形状加工するので余分な工程が不要である。

【0017】図1は、第1の製造方法で形成される半導体装置の容量部分の1例であり、ゲートポリシリコン8で形成された第1の電極と、ベースポリシリコン13で形成された第2の電極、およびエミッタポリシリコン15で形成された第3の電極を備え、第1の電極と第2の電極の間にはシリコン酸化膜11で形成された絶縁膜が設けられ、第2の電極と第3の電極の間は窒化シリコン膜14で形成された絶縁膜が設けられている。

【0018】この図で示すように、第1の電極と第3の電極の接続を、第2の電極の中央付近に設けられた貫通孔を通して行うことが好ましく、さらにこの容量の上に設けられる層間絶縁膜16中に第2の電極の周囲に接するコンタクト17aをリング状に形成することが好ましい。このように第2の電極からリング状にコンタクトをとることにより、低抵抗の容量構造が得られる。

【0019】このようにリング状にコンタクトをとった構造の容量を有する半導体装置は、小面積で正確な大容量値が得られ、かつ低抵抗であるので高周波特性が要求される集積回路に用いることが好ましく、例えば、VCO（電圧制御発振器）、A-Dコンバータ等の用途に用いられる。

【0020】図1に示した容量構造を有する半導体装置を製造方法するには、前記製造方法において、第1の電極と第3の電極との接続を、バイポーラトランジスタのベース電極にエミッタ電極形成のための開口を設けると同時に設けられた前記第2の電極の中央付近に貫通孔を通して行い、容量の上に設けられる層間絶縁膜中に前記第2の電極の周囲に接してリング状のコンタクトを形成することで行うことができる。

【0021】また、本発明の第2の製造方法によれば、第2の電極を間において、下に第1の電極、上に第3の電極が形成され、さらに第1の電極の下に第4の電極が形成され、そして第1の電極と第3の電極、第2の電極と第4の電極が接続されるので、第1の製造方法で得られる容量構造よりさらに大きい容量値が得られる。

【0022】この製造方法でも、第1の製造方法と同様に、容量の各電極および相互間の絶縁膜の形成を、MOSFETまたはバイポーラトランジスタの形成材料と同じ材料を用いて同時に形状加工するので余分な工程が不要である。

【0023】図2は、第2の製造方法で形成される半導体装置の容量部分の1例であり、ゲートポリシリコン8で形成された第1の電極と、ベースポリシリコン13で形成された第2の電極、およびエミッタポリシリコン15で形成された第3の電極を備え、第1の電極と第2の電極の間にはシリコン酸化膜11で形成された絶縁膜が設けられ、第2の電極と第3の電極の間は窒化シリコン膜14で形成された絶縁膜が設けられている。さらに、 n^+ 埋め込み層2bで形成された第4の電極がゲート酸化膜9で形成した絶縁膜を介して第1の電極と対向してさらに容量が形成され、第4の電極と第2の電極が電気的に接続されている。

【0024】この図で示すように、第1の電極と第3の電極の接続を、第2の電極の中央付近に設けられた貫通孔を通して行うことが好ましく、さらに第4の電極の基板面への引き出し7bをリング状に形成し、また、この容量の上に設けられる層間絶縁膜16中にコンタクト17bをリング状に形成し、第2の電極13の周囲と、第4の電極の基板面へのリング状の引き出し7bと、前記リング状のコンタクト17bとを互いにリング状に接触させることが好ましい。

【0025】ここで図2では、第2の電極13の周囲と、第4の電極の基板面への引き出し7bと、コンタクト17bとの3者が互いに接触しているが、3者の中の一つを共通にしてその他の2者が接続されていてもよく、例えば第2の電極13の周囲と、第4の電極の基板面への引き出し7bとが接触していなくても、この両方にコンタクト17bがリング状に接触してしていればよい。

【0026】このようにリング状に第2の電極および第4の電極とのコンタクトをとった構造の容量を有する半導体装置は、小面積でさらに大容量値が得られ、かつ低抵抗であるので、特に大容量が必要とされる集積回路に用いることが好ましく、例えば、電源回路のフィルタ、段間のカップリング等の用途に用いられる。

【0027】この容量構造を有する半導体装置を製造方法するには、本発明の第2の製造方法において、第1の電極と第3の電極との接続を、バイポーラトランジスタのベース電極にエミッタ電極形成のための開口を設ける

のと同時に設けられた前記第2の電極の中央付近に貫通孔を通して行い、第4の電極の基板面への引き出しをリング状に設け、容量の上に設けられる層間絶縁膜中にコンタクトをリング状に設け、第2の電極の周囲と、第4の電極の基板面へのリング状の引き出しと、リング状のコンタクトとを、互いにリング状に接触させるように形成することで行うことができる。

【0028】〔実施形態1〕本発明の第1の製造方法について、図面を参照しながら詳細に説明する。

【0029】まず、図3を参照して説明する。シリコン基板30に、バイポーラ形成領域33の所定領域にコレクタ電極となる n^+ 埋め込み層2、 n MOS形成領域34と容量形成領域32の所定領域に p^+ 埋め込み層3を形成する。ついで、表面に比抵抗 $0.5 \sim 2 \Omega \cdot \text{cm}$ のエピタキシャル層4を厚さ $1 \sim 2 \mu\text{m}$ 程度に成長させる。各素子間を分離するLOCOS酸化膜1（素子分離膜）を $200 \sim 400 \text{ nm}$ 厚に形成する。このとき、LOCOS酸化膜が容量形成領域32の表面全体を覆うように形成する。次に、 p MOS形成領域35に n ウェル6を形成し、続いて n MOS形成領域34に p ウェル5を形成し、図3までの工程を終了する。

【0030】ここで、 n ウェルの形成は、リンのイオン注入により加速エネルギー $500 \sim 800 \text{ keV}$ およびドーズ量 $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ 、 p ウェルの形成は、ボロンのイオン注入により加速エネルギー $200 \sim 500 \text{ keV}$ およびドーズ量 $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$ で行う。

【0031】次に、図4を用いて説明する。熱酸化によりゲート酸化膜9を $5 \sim 20 \text{ nm}$ 形成し、引き続き基板全面にゲートポリシリコン8を $150 \sim 300 \text{ nm}$ の厚さに堆積した後、MOSのゲート部分と容量形成部分の電極となる部分を残してドライエッチングにより取り除く。次に全面にCVD法によりシリコン酸化膜を堆積した後、全面エッチバックを行い、前の工程で残っているゲートポリシリコンの側面にサイドウォール酸化膜10を形成する。次に、 n^+ 埋め込み層2とのコンタクトをとるために、リンを加速エネルギー $50 \sim 100 \text{ keV}$ およびドーズ量 $1 \sim 5 \times 10^{16} \text{ cm}^{-2}$ で注入し、 n^+ コレクタ引き出し領域7を形成する。ここまでの工程により、図4に示すように容量形成領域にゲートポリシリコン8からなる第1の電極が形成される。

【0032】次に、図5を用いて説明する。第1の電極と第2の電極の間の絶縁膜となるシリコン酸化膜11を熱酸化またはCVDにより $5 \sim 20 \text{ nm}$ の厚さに全面に形成した後、容量形成領域のゲートポリシリコンと n^+ コレクタ引き出し領域7とMOS形成領域を覆い、バイポーラ形成領域のベース部分に開口を有するレジスト12を形成し、図5までの工程を終了する。このシリコン酸化膜11は、後述するように、ベースポリシリコン13と窒化シリコン膜14をエッチングして、容量形成領域の第2の電極形状とバイポーラ領域のベース電極形状

を形成する際に、MOSFETのソース・ドレイン領域およびバイポーラトランジスタのコレクタ引き出し領域がエッチングされるのを防止する動きをする。

【0033】次に、図6を用いて説明する。図5までの工程の後、このフォトリソスト12で覆われていない部分のシリコン酸化膜11をエッチングして取り除く。

【0034】次にベースポリシリコン13をCVD法により100～500nmの厚さに全面に形成する。このベースポリシリコンに対してボロンまたはBF₂を加速エネルギー20～50keV、ドーズ量1～5×10¹⁵cm⁻²の条件でイオン注入する。引き続き第2の電極と第3の電極の間の絶縁膜となる窒化シリコン膜14を全面に形成する。その後、レジストを用いて窒化シリコン膜14およびベースポリシリコン13をエッチングし、バイポーラ形成領域のエミッタ電極形成位置に開口を形成すると同時に、容量形成領域のベースポリシリコンに貫通孔を形成し、ゲートポリシリコンを表面に露出させる。

【0035】その後、バイポーラ形成領域のエピタキシャル層4に対して、コレクタ形成のためにリンを加速エネルギー50～100keV、ドーズ量1～5×10¹⁵cm⁻²の条件で注入し、ついで、ベースを形成するために、BF₂を10～40keV、ドーズ量1～5×10¹³cm⁻²の条件でイオン注入する。さらに、SIC（選択的イオン注入コレクタ）を形成するために表面から深い部分に、選択的にリンを加速エネルギー200～400keV、ドーズ量1～5×10¹²cm⁻²の条件でイオン注入する。

【0036】次に、窒化シリコン膜等の絶縁膜を全面に形成した後エッチバックすることにより、パターニングしたベースポリシリコン膜の側面にサイドウォールを形成する。このサイドウォールも第2の電極と第3の電極の間の絶縁膜となる。

【0037】次に全面に、CVD法によりエミッタポリシリコン15を100～500nmの厚さに形成する。この際、エミッタポリシリコンは、リンまたはヒ素等の不純物を1×10¹⁸～1×10²¹cm⁻³ドーパされた状態で成長してもよいし、ノンドーパで成長させた後にイオン注入により、このドーズ量になるようにしてもよい。その後の適当な時期に、加熱処理を行うことによって、バイポーラ領域のエピタキシャル層4の浅い部分にエミッタを形成する。また、図6に示すように、容量形成領域ではベースポリシリコンの貫通孔を通してゲートポリシリコンとエミッタポリシリコンが接続している。

【0038】次に図7のように、エミッタポリシリコン15をエッチングしてパターニングすることにより、容量形成領域では第3の電極形状に加工し、バイポーラ形成領域では所定のエミッタ形状に加工する。

【0039】次に図8に示すように、ベースポリシリコン13と窒化シリコン膜14をエッチングして、容量形

成領域の第2の電極形状とバイポーラ領域のベース電極形状を形成する。さらに、nMOS領域のソース・ドレインを形成するために、ヒ素を20～60keV、ドーズ量1～5×10¹⁵の条件でイオン注入する。また、pMOS領域のソース・ドレインを形成するために、BF₂を20～60keV、ドーズ量1～5×10¹⁵の条件でイオン注入して図8までの工程を終了する。

【0040】その後、図9に示すように、全面に第1の層間絶縁膜16を形成し、必要個所にホールを形成してポリシリコンを埋め込むことで、第1層コンタクト17を形成する。容量形成領域に形成される第1層コンタクト17aは、容量の第1の電極となるベースポリシリコン13aに接している。このとき、第1層コンタクト17aを図1に示したようにリング状に形成し、ベースポリシリコン13aからなる第2の電極の周囲にリング状で接するように形成すると、ベースポリシリコンでの抵抗を低下させることができるので、特に好ましい。

【0041】次に図10に示すように、第1の層間絶縁膜16の表面にアルミニウム等で第1層配線18を形成し、その後同様に、第2の層間絶縁膜19を形成し、第2層コンタクト20を形成し、その表面に第2層配線21を形成し、最後にカバー膜22を形成することでBi-CMOSが完成する。

【0042】〔実施形態2〕本発明の第2の製造方法について、図面を参照しながら詳細に説明する。

【0043】まず、実施形態1と同様に、シリコン基板30の所定領域にn⁺埋め込み層2とp⁺埋め込み層3を形成し、表面にエピタキシャル層4を成長させた後、LOCOS酸化膜1（素子分離膜）を形成し、その後イオン注入によりnウェル6、pウェル5を形成する。但し、この実施形態では図11に示すように、容量形成領域32の下部にもn⁺埋め込み層2bを設ける。このn⁺埋め込み層2bは、容量の第4の電極として機能する。またLOCOS酸化膜1は、図11中の符号1bで示したように容量形成領域32の中央を開けて設けるか、または1bで示したLOCOS酸化膜も設けなくてもよい。

【0044】次に、n⁺埋め込み層2とのコンタクトをとるためにn⁺コレクタ引き出し領域7を、実施形態1と同様の条件で形成する。このとき、容量形成領域32においてn⁺埋め込み層2bとのコンタクトをとるためのn⁺コレクタ引き出し領域7bを設ける。n⁺コレクタ引き出し領域7bは、上面から見たときに図2で示したようにリング状になるように形成することが好ましい。このようにして図11に示す構造までの工程が終了する。

【0045】次に、実施形態1と全く同様に、ゲート酸化膜9、ゲートポリシリコン8、サイドウォール酸化膜10を形成し（図12までの工程）、全面にシリコン酸化膜11を形成した後、バイポーラ形成領域のベー

ス部分に開口を有するレジスト12を形成する(図13までの工程)。

【0046】引き続き実施形態1と同様にして、シリコン酸化膜11をエッチングした後、ベースポリシリコン13の堆積、イオン注入によるドーパ、窒化シリコン膜14の堆積し、ベースポリシリコン13と窒化シリコン膜14のエッチングによる貫通孔の形成、所定のイオン注入、貫通孔側面のサイドウォール形成を行って図14までの工程を終了する。

【0047】引き続き実施形態1と同様にして、エミッタポリシリコン15を、容量形成領域では窒化シリコン膜14を挟んで容量を形成する形状に、バイポーラ形成領域ではエミッタ形状に形成して、図15までの工程を終了する。

【0048】次に、ベースポリシリコン13と窒化シリコン膜14をエッチングして、容量形成部分とバイポーラ領域に残すように加工し、図16までの工程を終了する。次に、全面に第1の層間絶縁膜16を形成し、第1層コンタクト17を形成する。このとき容量形成領域内のコンタクト17bは、図17に示すように、コレクタ引き出し領域7bとベースポリシリコン13の両方に接するように形成する。このとき、コンタクト17bと接続する部分のベースポリシリコン13上にある窒化シリコン膜14は、第1の層間絶縁膜16として通常用いられる酸化シリコン膜をエッチングする際に同時に取り除かれる。

【0049】コンタクト17bの形状は、上面から見たときに図2に示したように、コレクタ引き出し領域7bとベースポリシリコン13とにリング状に接するように設けることが特に好ましい。

【0050】その後、実施形態1と同様にして、第1層配線18、第2の層間絶縁膜19、第2層コンタクト20、第2層配線21を形成し、最後にカバー膜22を形成することで図18に示すBi-CMOSが完成する。

【0051】上記の実施形態1および2において、容量の第1の電極およびMOSFETのゲート電極の形成をポリシリコンを用いて行ったが、ポリシリコンをチタン、コバルト、モリブデン、タングステン等でシリサイド化したポリサイドを用いると、容量の抵抗がさらに低減するので好ましい。

【0052】

【発明の効果】本発明の第1の製造方法によれば、小さい面積であっても大きくかつ精度の良い容量値を得ることができる。この製造方法では、容量の各電極および相互間の絶縁膜の形成を、MOSFETまたはバイポーラトランジスタの形成材料と同じ材料を用いて同時に形状加工するので余分な工程が不要であり、高集積化が可能なBi-CMOS等の半導体装置を効率的、低コストで製造することができる。本発明の第2の製造方法によれば、小さい面積であってもさらに大きい容量値を得るこ

とができる。この製造方法でも、容量の各電極および相互間の絶縁膜の形成を、MOSFETまたはバイポーラトランジスタの形成材料と同じ材料を用いて同時に形状加工するので余分な工程が不要であり、高集積化が可能なBi-CMOS等の半導体装置を効率的、低コストで製造することができる。

【0053】さらに、本発明の半導体装置は、小面積で大容量かつ低抵抗の容量構造を有するので、高速応答性、高周波特性に優れる。

【図面の簡単な説明】

【図1】本発明の半導体装置の容量部分の1例を示す図である。

(a) 断面図

(b) 平面図

【図2】本発明の半導体装置の容量部分の1例を示す図である。

(a) 断面図

(b) 平面図

【図3】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図4】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図5】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図6】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図7】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図8】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図9】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図10】本発明の第1の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図11】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図12】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図13】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図14】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図15】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図16】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図17】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図18】本発明の第2の製造方法の製造工程の途中を模式的に示す工程断面図である。

【図19】従来の容量の構造を示す図である。

【図20】従来の容量の構造を示す図である。

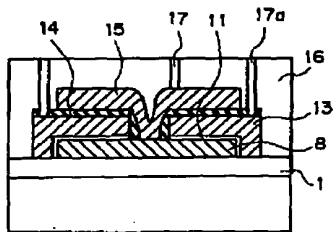
【符号の説明】

- 1 LOCOS酸化膜
- 2 n⁺埋め込み層
- 3 p⁺埋め込み層
- 4 エピタキシャル層
- 5 pウェル
- 6 nウェル
- 7 n⁺コレクタ引き出し領域
- 8 ゲートポリシリコン
- 9 ゲート酸化膜
- 10 サイドウォール酸化膜
- 11 シリコン酸化膜
- 12 レジスト

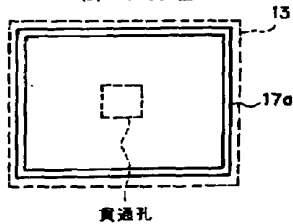
- 13 ベースポリシリコン
- 14 窒化シリコン膜
- 15 エミッタポリシリコン
- 16 第1の層間絶縁膜
- 17 第1層コンタクト
- 18 第1層配線
- 19 第2の層間絶縁膜
- 20 第2層コンタクト
- 21 第2層配線
- 22 カバー膜
- 30 シリコン基板
- 32 容量形成領域
- 33 バイポーラ形成領域
- 34 nMOS形成領域
- 35 pMOS形成領域

【図1】

(a) 断面図

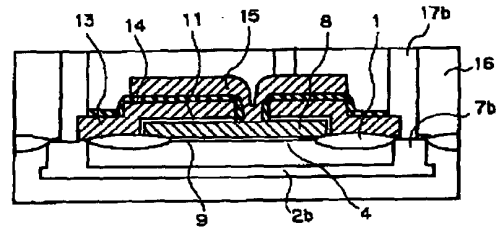


(b) 平面図

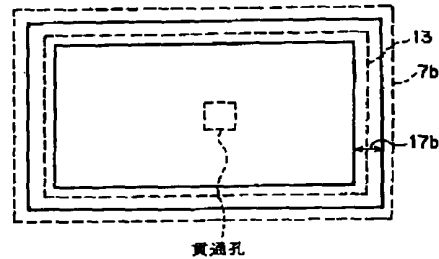


【図2】

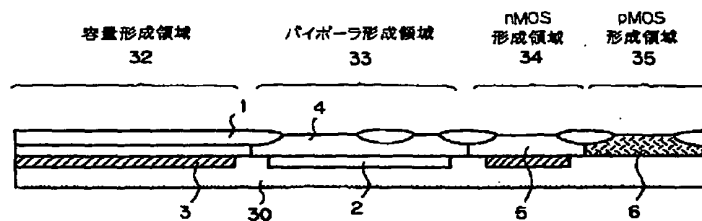
(a) 断面図



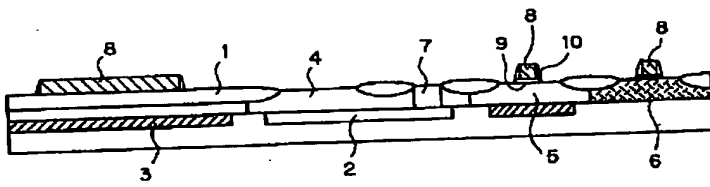
(b) 平面図



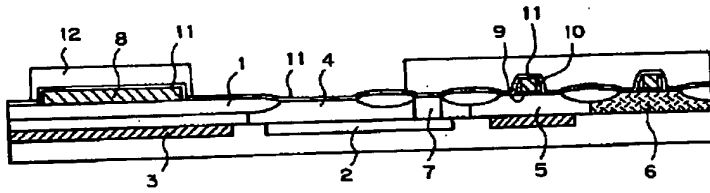
【図3】



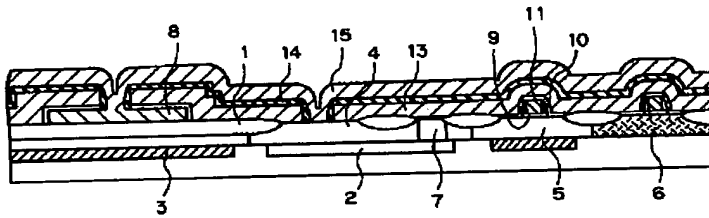
【図4】



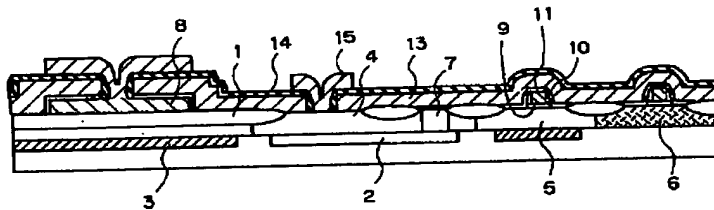
【図5】



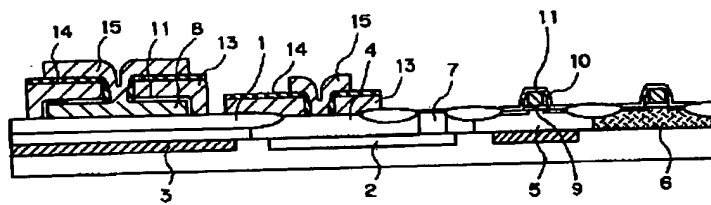
【図6】



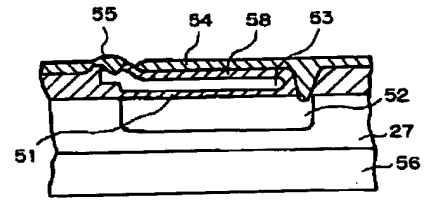
【図7】



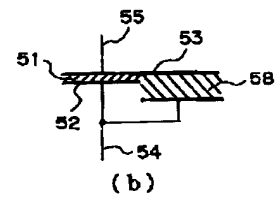
【図8】



【図19】

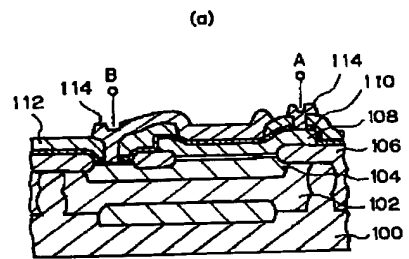


(a)

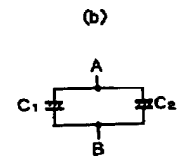


(b)

【図20】

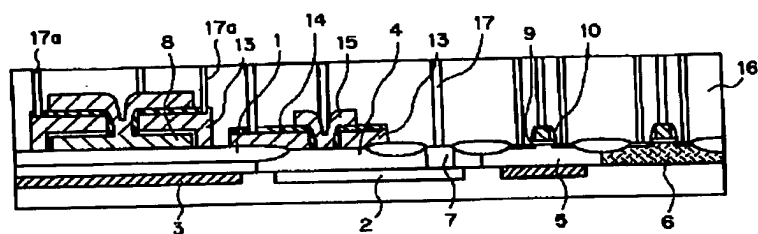


(a)

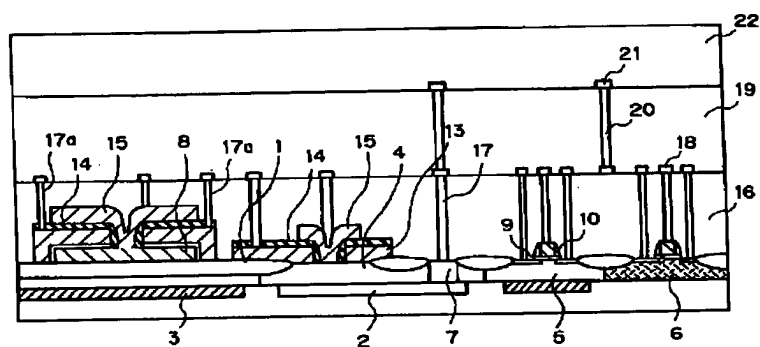


(b)

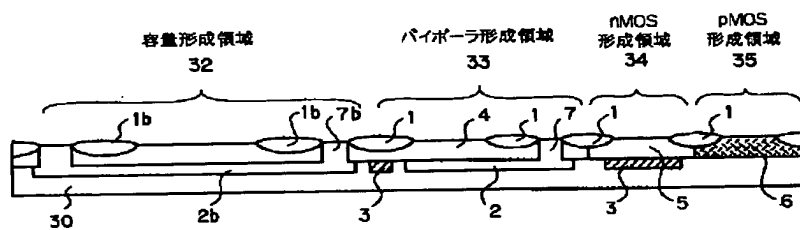
【図9】



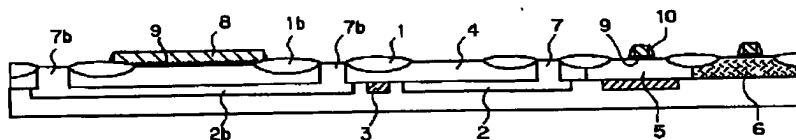
【図10】



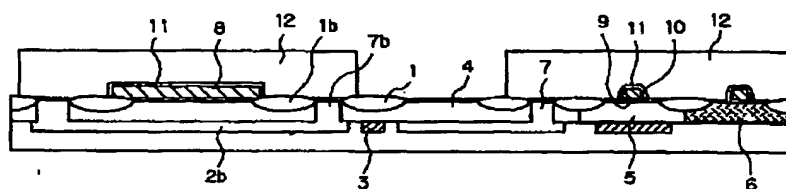
【図11】



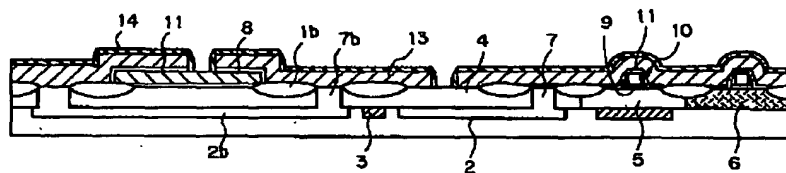
【図12】



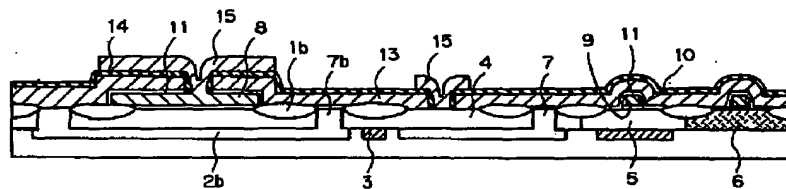
【図13】



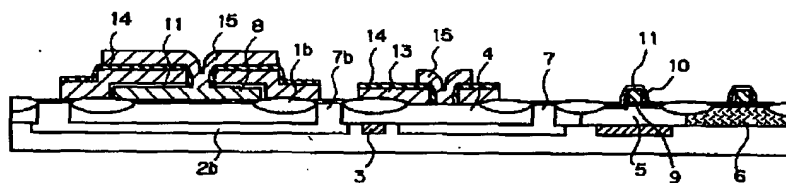
【図14】



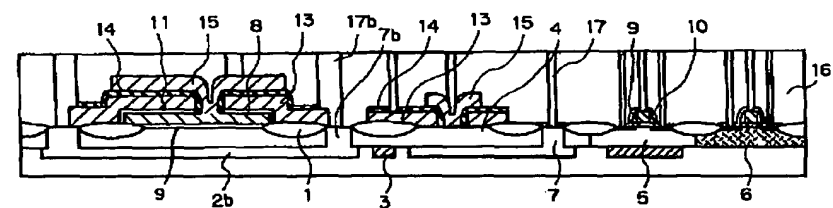
【図15】



【図16】



【図17】



【図18】

